

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 4 3 8 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 4 3 8 5]

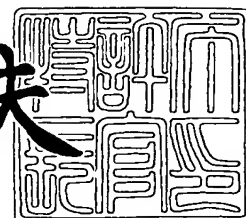
出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):



2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 62703095

【あて先】 特許庁長官殿

【国際特許分類】 H06F 11/18

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 水谷 文俊

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 白野 康之

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100109313

 【弁理士】

 【氏名又は名称】 机 昌彦

【選任した代理人】

 【識別番号】 100085268

 【弁理士】

 【氏名又は名称】 河合 信明

【選任した代理人】

 【識別番号】 100111637

 【弁理士】

 【氏名又は名称】 谷澤 靖久

【手数料の表示】

 【予納台帳番号】 191928

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213988

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 互いに同期して同一の処理を行う第 1 および第 2 の処理手段と、

前記第 1 および第 2 の処理手段からの出力を受け取り、前記第 1 の処理手段からの複数個数の出力と前記第 2 の処理手段からの複数個数の出力との順序を対応させて比較し一致しているか否かを判別する第 3 の処理手段とを含むことを特徴とする情報処理装置。

【請求項 2】 前記第 3 の処理手段は、前記第 1 の処理手段からの複数個数の出力を格納する第 1 の格納手段と、前記第 2 の処理手段からの複数個数の出力を格納する第 2 の格納手段とを含むことを特徴とする請求項 1 記載の情報処理装置。

【請求項 3】 前記第 3 の処理手段は、前記第 1 および第 2 の格納手段のうちいずれか一方において格納する複数個数の出力の格納量が所定量に達したときに、前記第 1 の格納手段に格納された前記第 1 の処理手段からの複数個数の出力と前記第 2 の格納手段に格納された前記第 2 の処理手段からの複数個数の出力との順序を対応させて比較し一致しているか否かを判別することを特徴とする請求項 2 記載の情報処理装置。

【請求項 4】 前記第 3 の処理手段は、上記第 1 および第 2 の処理手段の出力を受け取る頻度よりも低い頻度で上記判別を行うよう指定する指定手段をさらに含むことを特徴とする請求項 1 記載の情報処理装置。

【請求項 5】 互いに同期して同一の処理を行う第 1 および第 2 の処理手段と、

前記第 1 および第 2 の処理手段からの出力を受け取る第 3 の処理手段と、

この第 3 の処理手段に設けられ、前記第 1 の処理手段からの複数個数の出力に基づいて、前記第 2 の処理手段からの複数個数の出力を再構成する再構成手段と

前記第 3 の処理手段に設けられ、前記第 1 の処理手段からの複数個数の出力と

前記再構成手段により再構成された前記第2の処理手段からの複数個数の出力とを比較する比較手段とを含むことを特徴とする情報処理装置。

【請求項6】 前記第3の処理手段は、前記第1の処理手段からの複数個数の出力を格納する第1の格納手段と、前記第2の処理手段からの複数個数の出力を格納する第2の格納手段とを含み、

前記再構成手段は、前記第2の格納手段に格納された前記第2の処理手段からの複数個数の出力の順序を、前記第1の格納手段に格納された前記第1の処理手段からの複数個数の出力の順序に基づいて並べ替えることを特徴とする請求項5記載の情報処理装置。

【請求項7】 前記第3の処理手段は、前記第1の処理手段からの複数個数の出力を格納する第1の格納手段と、前記第2の処理手段からの複数個数の出力を格納する第2の格納手段とを含み、

前記再構成手段は、前記第2の格納手段に格納された前記第2の処理手段からの複数個数の出力を、前記第1の格納手段に格納された複数個数の前記第1の処理手段からの複数個数の出力に基づいて分割し再結合することを特徴とする特徴とする請求項5記載の情報処理装置。

【請求項8】 互いに同期して同一の処理を行う第1および第2の処理手段と、

前記第1および第2の処理手段からの出力を受け取り、前記第1の処理手段からの第1の出力に対応する前記第2の処理手段からの第2の出力を選び、前記第1の出力と前記第2の出力とを比較し一致しているか否かを判別する第3の処理手段とを含むことを特徴とする情報処理装置。

【請求項9】 前記第3の処理手段は、前記第1の処理手段からの出力を格納する第1の格納手段と、前記第2の処理手段からの出力を格納する第2の格納手段とを含み、

前記第3の処理手段は、前記第1の格納手段に格納された前記第1の処理手段からの前記第1の出力に対応する前記第2の出力を前記第2の格納手段を探索して求めることを特徴とする請求項8記載の情報処理装置。

【発明の詳細な説明】

【 0 0 0 1 】**【発明の属する技術分野】**

本発明は、情報処理装置に関し、特に、フォールトトレラントシステムに用いられる情報処理装置に関する。

【 0 0 0 2 】**【従来の技術】**

従来、フォールトトレラントシステムに用いられる情報処理装置は、二重化されたプロセッサに共通のクロック信号を分配して同一の処理を行わせ、2つのプロセッサの出力をそれらが得られる度に比較して二重化プロセッサの出力の不一致を検出する。

【 0 0 0 3 】**【特許文献 1】**

特開平 8 - 9 5 8 1 6 号公報（第 1 図）

【 0 0 0 4 】**【発明が解決しようとする課題】**

上述の従来の情報処理装置では、たとえ二重化されたプロセッサの各々が正常に動作しているとしても、経年変化や製造上のばらつき、あるいは、一方のプロセッサの割り込み処理などの割り込みタイミングが他方のプロセッサのそれに対してずれることなどにより、2つのプロセッサの出力のタイミングや順序が異なることがある。出力の順序が入れ替わると、ある時点で2つのプロセッサからの出力が異なってしまうため、従来のフォールトトレラントシステムに用いられる情報処理装置では、2つのプロセッサの出力の不一致を検出してしまうという問題がある。

【 0 0 0 5 】

そこで、本発明の目的は、複数の CPU モジュールからの出力の順序が互いに異なる場合でも複数の CPU モジュールの動作が一致しているか否かを判別することができる情報処理装置を提供することにある。

【 0 0 0 6 】

また、本発明の他の目的は、複数の CPU モジュールからの出力に分断されて

いるものが含まれている場合でも複数のCPUモジュールの動作が一致しているか否かを判別することができる情報処理装置を提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明の情報処理装置は、互いに同期して同一の処理を行う第1および第2の処理手段と、前記第1および第2の処理手段からの出力を受け取り、前記第1の処理手段からの複数個数の出力と前記第2の処理手段からの複数個数の出力との順序を対応させて比較し一致しているか否かを判別する第3の処理手段とを含むことを特徴とする。

【0008】

また、本発明の他の情報処理装置は、前記第3の処理手段は、前記第1の処理手段からの複数個数の出力を格納する第1の格納手段と、前記第2の処理手段からの複数個数の出力を格納する第2の格納手段とを含むことを特徴とする。

【0009】

さらに、本発明の他の情報処理装置は、前記第3の処理手段は、前記第1および第2の格納手段のうちいずれか一方において格納する複数個数の出力の格納量が所定量に達したときに、前記第1の格納手段に格納された前記第1の処理手段からの複数個数の出力と前記第2の格納手段に格納された前記第2の処理手段からの複数個数の出力との順序を対応させて比較し一致しているか否かを判別することを特徴とする。

【0010】

また、本発明の他の情報処理装置は、前記第3の処理手段は、上記第1および第2の処理手段の出力を受け取る頻度よりも低い頻度で上記判別を行うよう指定する指定手段をさらに含むことを特徴とする。

【0011】

上記課題を解決するために本発明の情報処理装置は、互いに同期して同一の処理を行う第1および第2の処理手段と、前記第1および第2の処理手段からの出力を受け取る第3の処理手段と、この第3の処理手段に設けられ、前記第1の処理手段からの複数個数の出力に基づいて、前記第2の処理手段からの複数個数の

出力を再構成する再構成手段と、前記第3の処理手段に設けられ、前記第1の処理手段からの複数個数の出力と前記再構成手段により再構成された前記第2の処理手段からの複数個数の出力とを比較する比較手段とを含む。

【0012】

また、本発明の他の情報処理装置は、前記第3の処理手段は、前記第1の処理手段からの複数個数の出力を格納する第1の格納手段と、前記第2の処理手段からの複数個数の出力を格納する第2の格納手段とを含み、前記再構成手段は、前記第2の格納手段に格納された前記第2の処理手段からの複数個数の出力の順序を、前記第1の格納手段に格納された前記第1の処理手段からの複数個数の出力の順序に基づいて並べ替えることを特徴とする。

【0013】

また、本発明の他の情報処理装置は、前記第3の処理手段は、前記第1の処理手段からの複数個数の出力を格納する第1の格納手段と、前記第2の処理手段からの複数個数の出力を格納する第2の格納手段とを含み、前記再構成手段は、前記第2の格納手段に格納された前記第2の処理手段からの複数個数の出力を、前記第1の格納手段に格納された複数個数の前記第1の処理手段からの複数個数の出力に基づいて分割し再結合することを特徴とする特徴とする。

【0014】

上記課題を解決するために本発明の情報処理装置は、互いに同期して同一の処理を行う第1および第2の処理手段と、前記第1および第2の処理手段からの出力を受け取り、前記第1の処理手段からの第1の出力に対応する前記第2の処理手段からの第2の出力を選び、前記第1の出力と前記第2の出力とを比較し一致しているか否かを判別する第3の処理手段とを含む。

【0015】

さらに、本発明の他の情報処理装置は、前記第3の処理手段は、前記第1の処理手段からの出力を格納する第1の格納手段と、前記第2の処理手段からの出力を格納する第2の格納手段とを含み、前記第3の処理手段は、前記第1の格納手段に格納された前記第1の処理手段からの前記第1の出力に対応する前記第2の出力を前記第2の格納手段を探索して求めることを特徴とする。

【0016】**【発明の実施の形態】**

次に本発明の情報処理装置の実施の形態について図面を参照して詳細に説明する。

【0017】

図1を参照すると、本発明の情報処理装置1はCPUモジュール100および200と、Input/Output (I/O) モジュール300と、共通クロック生成部10とを含む。本実施の形態では、1つのI/Oモジュール300がCPUモジュール100および200に接続されている。CPUモジュール100および200の各々が複数のI/Oモジュール300に接続されていてもよい。CPUモジュール100および200とI/Oモジュール300との接続は、例えば、Peripheral Components Interconnect (PCI) - Expressなどによる。

【0018】

CPUモジュール100は、演算要素101およびインタフェース制御部102を有する。CPUモジュール200は、CPUモジュール100と同様の構成を有する。CPUモジュール200は、演算要素201およびインタフェース制御部202を有する。

【0019】

CPUモジュール100および200は、同一の動作を同時に実行するよう構成されている。CPUモジュール100および200には共通クロック生成部10からの共通クロックが供給されている。CPUモジュール100および200のうち、一方がマスタとなり、他方がパートナーとなって動作する。本実施の形態では、CPUモジュール100がマスタであり、CPUモジュール200がパートナーである。

【0020】

演算要素101および201は、共通クロック生成部10からの共通クロックに同期して同一の処理を実行する。演算要素101および201は、単一のプロセッサにより構成しても良いし、複数のプロセッサにより構成しても良い。

【0021】

インタフェース制御部102は、CPUモジュール100からI/Oモジュール300へのインタフェースを果たす。インタフェース制御部102は、パリティ/Error Correcting Code (ECC) の生成や、複数のI/Oモジュール300に接続されていればこれらへのブリッジも行う。インタフェース制御部202は、インタフェース制御部102と同様の構成を有している。

【0022】

I/Oモジュール300は、命令解析部310、バッファ321および322、バッファ監視部330、比較器340、エラー制御部350、エラー検出部360、マルチプレクサ370およびI/Oインタフェース380を含む。

【0023】

命令解析部310は、バッファ監視部330から比較開始信号を受け取ると、バッファ321に格納されたマスタCPUモジュール100からの複数個数の出力の順序に対応するよう、バッファ322に格納されたパートナーCPUモジュール200からの複数個数の出力を再構成する。再構成の1つは、具体的には、命令解析部310が、バッファ322に格納されたCPUモジュール200からの複数個数の出力の順序を、バッファ321に格納されたCPUモジュール100からの複数個数の出力の順序に基づいて並べ替えることである。再構成の他の1つとしては、具体的には、命令解析部310が、バッファ321に格納されたCPUモジュール100からの複数個数の出力に基づいて、バッファ322に格納されたCPUモジュール200からの複数個数の出力を分割し再結合することである。命令解析部310は、バッファ321から読み出したCPUモジュール100からの複数個数の出力とバッファ322から読み出し再構成したCPUモジュール200からの複数個数の出力とを比較器340に送出する。命令解析部310は、バッファ322に格納されたパートナーCPUモジュール200からの複数個数の出力を、バッファ321に格納されたマスタCPUモジュール100からの複数個数の出力の順序に対応させることができない場合、順序不一致である旨をエラー制御部350に通知する。

【 0 0 2 4 】

バッファ 3 2 1 および 3 2 2 は、CPU モジュール 1 0 0 および 2 0 0 にそれぞれ対応して設けられている。バッファ 3 2 1 は、CPU モジュール 1 0 0 からの複数個数の出力を格納する。バッファ 3 2 2 は、CPU モジュール 2 0 0 からの複数個数の出力を格納する。CPU モジュール 1 0 0 および 2 0 0 からの各々の出力は、コマンドおよびアドレスなどからなるコマンド部と少なくとも 1 つのデータからなるデータ部とを含んでおり、バッファ 3 2 1 および 3 2 2 の各エントリに格納される情報はコマンド部およびデータ部を含む。本実施の形態では、CPU モジュール 1 0 0 および 2 0 0 からの 1 つの出力単位はパケットである。1 つのパケットは、演算要素 1 0 1 および 2 0 1 から出力される読み出しや書き込みなどのコマンドを単位として、該コマンドとそれに付随するデータなどを含んでいる。データは複数の単位からなる。

【 0 0 2 5 】

バッファ 3 2 1 および 3 2 2 は、それぞれ複数のエントリを有する。バッファ 3 2 1 および 3 2 2 の各エントリは CPU モジュール 1 0 0 および 2 0 0 からの各パケットを格納する。バッファ 3 2 1 および 3 2 2 のエントリの数は、本実施の形態では 1 0 から 2 0 個である。バッファ 3 2 1 および 3 2 2 の各々は、パケットのコマンド部を格納するコマンド領域と、パケットのデータ部を格納するデータ領域とに分かれていても良い。

【 0 0 2 6 】

バッファ監視部 3 3 0 は、バッファ 3 2 1 および 3 2 2 のそれぞれの使用量、すなわち、CPU モジュール 1 0 0 および 2 0 0 からの出力の格納エントリ数を監視する。バッファ監視部 3 3 0 は、バッファ 3 2 1 および 3 2 2 のうち少なくとも一方の使用量が所定量に達したか否かを監視する。バッファ監視部 3 3 0 は、バッファ 3 2 1 および 3 2 2 の少なくとも一方の使用量が所定量に達したことを検出したとき、命令解析部 3 1 0 に対して比較開始信号を送出する。

【 0 0 2 7 】

比較器 3 4 0 は、命令解析部 3 1 0 からバッファ 3 2 1 から読み出した CPU モジュール 1 0 0 からの複数個数の出力とバッファ 3 2 2 から読み出し再構成し

たCPUモジュール200からの複数個数の出力とを受け取り、これらと比較する。比較器340は、CPUモジュール100からの出力とCPUモジュール200からの出力とに含まれるデータ部同士を比較する。データ比較の結果、データが一致していない場合、比較器340はエラー制御部350にCPUモジュール100および200からの出力が不一致である旨を通知する。データが一致している場合、情報処理装置1の状態を変化させる必要が無いため、比較器340は何もしなくてもよい。あるいは、この場合、CPUモジュール100および200からの出力が一致している旨の通知をエラー制御部350に送り、エラー制御部350に、マルチプレクサ370が引き続きマスタCPUモジュール100からの出力をI/Oインタフェース380に送出するよう制御させてもよい。

【0028】

エラー制御部350は、命令解析部310から順序が一致しているか否かの通知を、比較器340から出力が一致しているか否かの通知を、エラー検出部360からハードウェア故障のエラーが存在するか否かの通知を受け取り、これらの通知に基づいてマルチプレクサ370がCPUモジュール100および200のいずれの出力を出力すべきかを制御する。

【0029】

エラー検出部360は、CPUモジュール100および200からI/Oモジュール300に送出されたパケットのパリティエラー、プロトコルエラーやタイムアウトを検出し、ハードウェア故障としてエラー制御部350に通知する。

【0030】

マルチプレクサ370は、エラー制御部350からの指示に基づき、CPUモジュール100および200の一方からの出力をI/Oインタフェース380に出力する。

【0031】

I/Oインタフェース380は、マルチプレクサ370からCPUモジュール100および200のうち的一方からの出力を受け取り、I/Oモジュール300に接続されたI/O装置に出力する。

【0032】

次に、本発明の動作について図面を参照して説明する。

【0033】

図1を参照すると、CPUモジュール100および200は共に同一の処理を共通クロック生成部10からの共通クロックに同期して実行する。CPUモジュール100および200の出力のいずれかがI/Oモジュール300のI/Oインタフェース380を介してI/O装置に送られる。CPUモジュール100の故障が検出されない限り、マスタであるCPUモジュール100からの出力がI/Oインタフェース380に送られる。CPUモジュール200は二重化構成を実現するため設けられている。CPUモジュール100の故障が検出されると、CPUモジュール100が切り離されCPUモジュール200が代替CPUモジュールとなり、CPUモジュール200の出力がI/Oインタフェース380に送られる。CPUモジュール200が故障していることが検出される場合は、CPUモジュール200が切り離され、CPUモジュール100の出力が継続してI/Oインタフェース380に送られる。

【0034】

CPUモジュール100の演算要素101およびCPUモジュール200の演算要素201は共通クロックに同期して同一の動作を実行する。演算要素101および201は各クロックサイクルにおいて同一の処理の結果を同時に出力する。演算要素101は処理の結果のパケットをインタフェース制御部102に出力する。演算要素201は処理の結果のパケットをインタフェース制御部202に出力する。

【0035】

インタフェース制御部102は、演算要素101からの出力をI/Oモジュール300に送出する。インタフェース制御部202は、演算要素201からの出力をI/Oモジュール300に送出する。

【0036】

I/Oモジュール300において、命令解析部310は、CPUモジュール100から受け取ったパケットをコマンド部とデータ部とに分割しバッファ321に格納する。命令解析部310は、CPUモジュール200から受け取ったパケ

ットをコマンド部とデータ部とに分割しバッファ 3 2 2 に格納する。

【 0 0 3 7 】

バッファ 3 2 1 は C P U モジュール 1 0 0 からの複数個数のパケットを複数のエントリのそれぞれに格納する。バッファ 3 2 2 は C P U モジュール 2 0 0 からの複数個数のパケットを複数のエントリのそれぞれに格納する。

【 0 0 3 8 】

バッファ監視部 3 3 0 は、バッファ 3 2 1 および 3 2 2 のそれぞれについて、パケットが格納されているエントリ数を監視している。バッファ監視部 3 3 0 は、バッファ 3 2 1 または 3 2 2 の少なくともいずれか一方でパケットを格納するエントリ数が所定値に達したことを検出すると、比較開始信号を生成し命令解析部 3 1 0 に送出する。このとき、所定値に達したバッファでは、対応する C P U モジュールに対し再送信が要求され、直後に続くパケットは受け取らない。所定値に達していないバッファでは、所定値に達したバッファが受け取ったパケット数と同数になるまで対応する C P U モジュールからのパケットを受け取る。

【 0 0 3 9 】

命令解析部 3 1 0 は、バッファ監視部 3 3 0 から比較開始信号を受信すると、バッファ 3 2 1 に格納された複数個数のパケットとバッファ 3 2 2 に格納された複数個数のパケットとの順序の一致を判別するとともに、バッファ 3 2 2 に格納された複数個数のパケットの順序を変更してバッファ 3 2 1 に格納された複数個数のパケットの順序に対応させる。より詳細には、命令解析部 3 1 0 は、各パケットに含まれるコマンド部（コマンドおよびアドレス）を用いて、バッファ 3 2 1 の何れのパケットがバッファ 3 2 2 の何れのパケットに対応するかを見極め、バッファ 3 2 2 のパケットを並べ替える。命令解析部 3 1 0 は、バッファ 3 2 1 から読み出した複数個数のパケットとバッファ 3 2 2 から読み出し必要に応じ順序を変更した複数個数のパケットとを比較部 3 4 0 に出力する。

【 0 0 4 0 】

命令解析部 3 1 0 がバッファ 3 2 1 に格納された複数のパケットとバッファ 3 2 2 に格納された複数のパケットとの順序を一致させることができないと判別した場合、命令解析部 3 1 0 は順序が不一致である旨を示す信号をエラー制御部 3

50に通知する。

【0041】

比較器340は、命令解析部310から、バッファ321に格納された複数のパケットとバッファ321に格納された複数のパケットを必要に応じて並び変えられたものを受け取り、対応するパケット同士を比較する。比較器340は、パケットのデータ部を用いて比較する。

【0042】

比較器340は、データ部の一致を検出した場合、情報処理装置1の状態を変化させる必要が無い場合、何もしなくてもよい。必要であれば、この場合、比較器340は出力が一致している旨の通知をエラー制御部350に送る。この通知を受け取り、エラー制御部350は、マルチプレクサ370が引き続きマスタCPUモジュール100からの出力をI/Oインタフェース380に送出するよう制御する。

【0043】

比較器340は、少なくとも一組の対応するパケットが不一致であると検出した場合、不一致である旨をエラー制御部350に通知する。

【0044】

エラー制御部350は、命令解析部310から順序不一致の通知を受け取っているまたは比較器340から出力不一致の通知を受け取っているが、エラー検出部360からハードウェア故障のエラーが存在する旨の通知を受け取っていない場合、CPUモジュール100および200の同期復旧処理を実行する。同期復旧処理は、マスタCPUモジュール100からパートナーCPUモジュール200へ、全てのメモリの内容や全てのレジスタの内容をコピーし、CPUモジュール100および200を同時にリセットして再同期化させる処理である。

【0045】

ハードウェア故障のエラーが存在する場合、すなわち、エラー検出部360からハードウェア故障のエラーが存在する旨の通知を受け取った場合は、エラー制御部350は、故障と診断されたCPUモジュール100または200の切り離し処理を行う。CPUモジュール100が故障と診断された場合、エラー制御部

3 5 0 は、マルチプレクサ 3 7 0 を切り替え CPU モジュール 2 0 0 からの出力を I/O インタフェース 3 8 0 に送出するよう制御し、CPU モジュール 1 0 0 から CPU モジュール 2 0 0 への切り替え処理を実行し、CPU モジュール 1 0 0 の切り離し処理を実行する。CPU モジュール 2 0 0 が故障と診断された場合、エラー制御部 3 5 0 は、マルチプレクサ 3 7 0 が引き続き CPU モジュール 1 0 0 からの出力を I/O インタフェース 3 8 0 に送出するよう制御し、CPU モジュール 2 0 0 の切り離し処理を実行する。

【0 0 4 6】

図 2 を参照すると、CPU モジュール 1 0 0 からの出力と CPU モジュール 2 0 0 からの出力とが I/O モジュール 3 0 0 に入力されるタイミングがずれている場合、CPU モジュール 1 0 0 からの複数個数の出力と CPU モジュール 2 0 0 からの複数個数の出力とがタイミングのずれの影響を受けず比較される。

【0 0 4 7】

CPU モジュール 1 0 0 から出力されたパケット # 1 と CPU モジュール 2 0 0 から出力されたパケット # 1 とは同一のタイミングで I/O モジュール 3 0 0 に受信され、バッファ 3 2 1 および 3 2 2 にそれぞれ格納される。I/O モジュール 3 0 0 において、CPU モジュール 1 0 0 から出力されたパケット # 2 を受け取るタイミングと CPU モジュール 2 0 0 から出力されたパケット # 2 を受け取るタイミングとは異なっている。さらに、I/O モジュール 3 0 0 がパケット # 3 を受け取るタイミングも、CPU モジュール 1 0 0 から受け取る場合と CPU モジュール 2 0 0 から受け取る場合とではずれが生じている。このようにパケット # 2 以降のパケットは、CPU モジュール 1 0 0 から受け取るものと CPU モジュール 2 0 0 から受け取るものとはタイミングがずれている。しかし、これらのパケットは、一旦、バッファ 3 2 1 および 3 2 2 に格納され比較器 3 4 0 に送られるため、タイミングのずれの影響は無く、並べ替えをすること無く比較器 3 4 0 において同一のパケットである旨が検出される。

【0 0 4 8】

この例では、パケット 3 がバッファ 3 2 1 および 3 2 2 に入りきらない。バッファに格納できなかったパケットは再送信が要求され、次の回の並び替えおよび

比較の対象となる。

【0049】

図3を参照すると、CPUモジュール100からの出力の順序に対してCPUモジュール200からの出力の順序が異なっている場合、命令解析部310がCPUモジュール200からの出力の順序をCPUモジュール100からの出力の順序に対応させて入れ替えることにより、CPUモジュール100からの出力とCPUモジュール2からの出力とが一致するものと検出される。このようなCPUモジュール100からの出力の順序とCPUモジュール200からの出力の順序との相違は、タイマ割り込みによりCPUモジュール100および200の各々の割り込み処理のタイミングがずれることなどにより生じる。

【0050】

CPUモジュール100において、パケット#1の処理の後タイマ割り込みによりパケット#2の処理が行われ、その後通常のパケット#3の処理が実行される。I/Oモジュール300は、CPUモジュール100からの出力を、パケット#1、パケット#2およびパケット#3の順に連続して受け取る。これに対し、CPUモジュール200ではタイマ割り込み処理のタイミングがずれてパケット#2とパケット#3との順序が逆になっている。すなわち、CPUモジュール200は、パケット#1をまず処理し、次にパケット#3を処理し、その後、タイマ割り込み処理を受け付けパケット#2の処理を実行する。I/Oモジュール300は、CPUモジュール200からの出力を、パケット#1、パケット#3およびパケット#2の順に連続して受け取る。命令解析部310は、CPUモジュール100からの出力、パケット#1、パケット#2およびパケット#3の順序に基づいて、CPUモジュール200からの出力、パケット#1、パケット#3およびパケット#2の順序をパケット#1、パケット#2およびパケット#3の順に並び替える。比較器340は、CPUモジュール100からの複数個数の出力とCPUモジュール200からの複数個数の出力との一致を検出する。

【0051】

図4を参照すると、CPUモジュール200からの出力がCPUモジュール100からの出力に対して分断されている場合、CPUモジュール200からの複

数個数の出力のそれぞれをCPUモジュール100からの複数個数の出力のそれぞれに対応するよう再構成する。

【0052】

CPUモジュール100において、パケット#1、パケット#2の順に通常の処理が行なわれ、その後タイマ割り込みでパケット#3の処理が実行される。I/Oモジュール300は、CPUモジュール100からの出力を、パケット#1、パケット#2およびパケット#3の順に連続して受け取る。一方、CPUモジュール200では、パケット#1の処理の後のパケット#2の処理中に割り込みが発生しパケット#3の処理が行われる。パケット#2はパケット#2(1)とパケット#2(2)とに分割されてしまう。I/Oモジュール300は、CPUモジュール200からの出力を、パケット#1、パケット#2(1)とパケット#3からなるパケットおよびパケット#2(2)の順に連続して受け取る。

【0053】

命令解析部310は、パケット#2(1)とパケット#3とからなるパケットを、パケット#2(1)とパケット#3とに切断する。さらに、命令解析部310は、パケット#3とパケット#2(2)との順序を入れ替え、パケット#2(1)とパケット#2(2)とを結合する。比較器340は、CPUモジュール100からの複数個数の出力、パケット#1、パケット#2およびパケット#3、とCPUモジュール200からの複数個数の出力、パケット#1、パケット#2(1)とパケット#2(2)とが再結合されたパケット#2およびパケット#3、とが一致するものであると検出する。

【0054】

このように、本発明では、ある期間において、バッファ321に格納された複数個数のパケットのそれぞれと同一のパケットがバッファ322に過不足なく格納されていればよい。

【0055】

以上のように、CPUモジュール100からの複数個数の出力の順序に対応させてCPUモジュール200からの複数個数の出力の順序を並び替え、これらの出力を比較するI/Oモジュール300を設けたため、複数のCPUモジュール

からの出力の順序が互いに異なっている場合であっても、複数のCPUモジュールの動作が一致しているか否かを判別することができる。

【0056】

また、本実施の形態では、CPUモジュール100からの複数個数の出力の順序に対応させてCPUモジュール200からの複数個数の出力を分割し再結合させ、これらの出力を比較するI/Oモジュール300を設けた。このため、複数のCPUモジュールからの出力の中に分断され別のものと結合しているものが存在する場合であっても、複数のCPUモジュールの動作が一致しているか否かを判別することができる。

【0057】

次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。本発明の第2の実施の形態は、CPUモジュール100および200のそれぞれにクロック要素20および30を設けた点で第1の実施の形態と異なる。他の構成は、第1の実施例と同様である。

【0058】

図5を参照すると、CPUモジュール100はクロック要素20を含む。CPUモジュール200はクロック要素30を含む。クロック要素20および30は同一のクロックレートである。クロック要素20および30は、情報処理装置2の初期化時などのリセット信号によって同期がとられる。

【0059】

演算要素101はクロック要素20からクロック信号を受け取り動作する。演算要素201はクロック要素30からクロック信号を受け取り動作する。

【0060】

次に、本発明の第3の実施の形態について図面を参照して詳細に説明する。本発明の第3の実施の形態は、CPUモジュール100および200からの出力を受け取る度に、順序が一致するか否かを判別させる点にある。本実施の形態において、上述の実施の形態の要素と同一の符号を有する要素は同一の構成を有する。

【0061】

図6を参照すると、I/Oモジュール400は、命令解析部410、バッファ421および422、バッファ監視部430、比較器440、エラー制御部350、エラー検出部360、マルチプレクサ370およびI/Oインタフェース380を含む。エラー制御部350、エラー検出部360、マルチプレクサ370およびI/Oインタフェース380は第1の実施の形態のものと同様の構成を有する。

【0062】

次に、本発明の動作について図面を参照して説明する。

【0063】

図6を参照すると、I/Oモジュール400において、命令解析部410は、CPUモジュール100から受け取ったパケットをコマンド部とデータ部とに分割しバッファ421に格納する。命令解析部410は、CPUモジュール200から受け取ったパケットをコマンド部とデータ部とに分割しバッファ422に格納する。

【0064】

命令解析部410は、マスタCPUモジュール100に対応するバッファ421の先頭エントリのコマンド部を読み出し、バッファ422を探索して該コマンド部と同一のコマンド部を探す。同一のコマンド部がバッファ422から発見された場合、命令解析部410は、このコマンド部に対応するデータ部をバッファ421および422からそれぞれ読み出し、比較器440に出力する。

【0065】

比較器440では、命令解析部410から受け取ったバッファ421から読み出されたデータ部とバッファ421から読み出されたデータ部とを比較する。このとき、命令解析部410がCPUモジュール200から受け取った出力の順序と、比較器440が命令解析部410から受け取った出力の順序とは、必要に応じて異なっている。具体的には、命令解析部410が比較器440に送る出力の順序は、CPUモジュール100から受け取る出力の順序に対応するよう並び替えられている。

【0066】

本第3の実施の形態において、命令解析部410は、CPUモジュール100および200から受け取ったパケットをバッファに格納する前に、各パケットのコマンド部が対応するか否かを判別するようにしても良い。

【0067】

このように本実施の形態では、一致しているパケットはバッファに貯まらずI/Oインタフェース380に送られるため、パケットを格納するバッファの容量を小さくすることができる。

【0068】

次に、上述の実施の形態の実施様態について説明する。

【0069】

上述の実施の形態では1つのCPUモジュールに対して1つのバッファを対応付けたが、本実施の第1乃至第3の形態において、1つのCPUモジュールに対して複数のバッファを対応付けるようにしても良い。この場合、パケットの並べ替えのスループットを向上させることができる。

【0070】

また、上記実施の形態では、CPUモジュール100および200からの出力の順序の一致をその出力に元々備えられている情報を用いて判別したが、CPUモジュール100および200のそれぞれにおいて、各出力に順序を示す情報を付加させても良い。この場合、命令解析部は各出力の順序を示す情報を用いて順序の一致を判別する。

【0071】

【発明の効果】

以上説明したように、本発明では、第1のCPUモジュールからの複数個数の出力の順序に対応させて第2のCPUモジュールからの複数個数の出力の順序を並び替え、これらの出力を比較するI/Oモジュールを設けた。このため、複数のCPUモジュールからの出力の順序が互いに異なっている場合であっても、複数のCPUモジュールの動作が一致しているか否かを判別することができる。

【0072】

また、本発明では、第1のCPUモジュールからの複数個数の出力の順序に対

応させて第 2 の C P U モジュールからの複数個数の出力を分割し再結合させ、これらの出力を比較する I / O モジュールを設けた。このため、複数の C P U モジュールからの出力の中に分断され別のものと結合しているものが存在する場合であっても、複数の C P U モジュールの動作が一致しているか否かを判別することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態を示す図である。

【図 2】

本発明の実施の形態の動作の一例を示す図である。

【図 3】

本発明の実施の形態の動作の一例を示す図である。

【図 4】

本発明の実施の形態の動作の一例を示す図である。

【図 5】

本発明の第 2 の実施の形態を示す図である。

【図 6】

本発明の第 3 の実施の形態を示す図である。

【符号の説明】

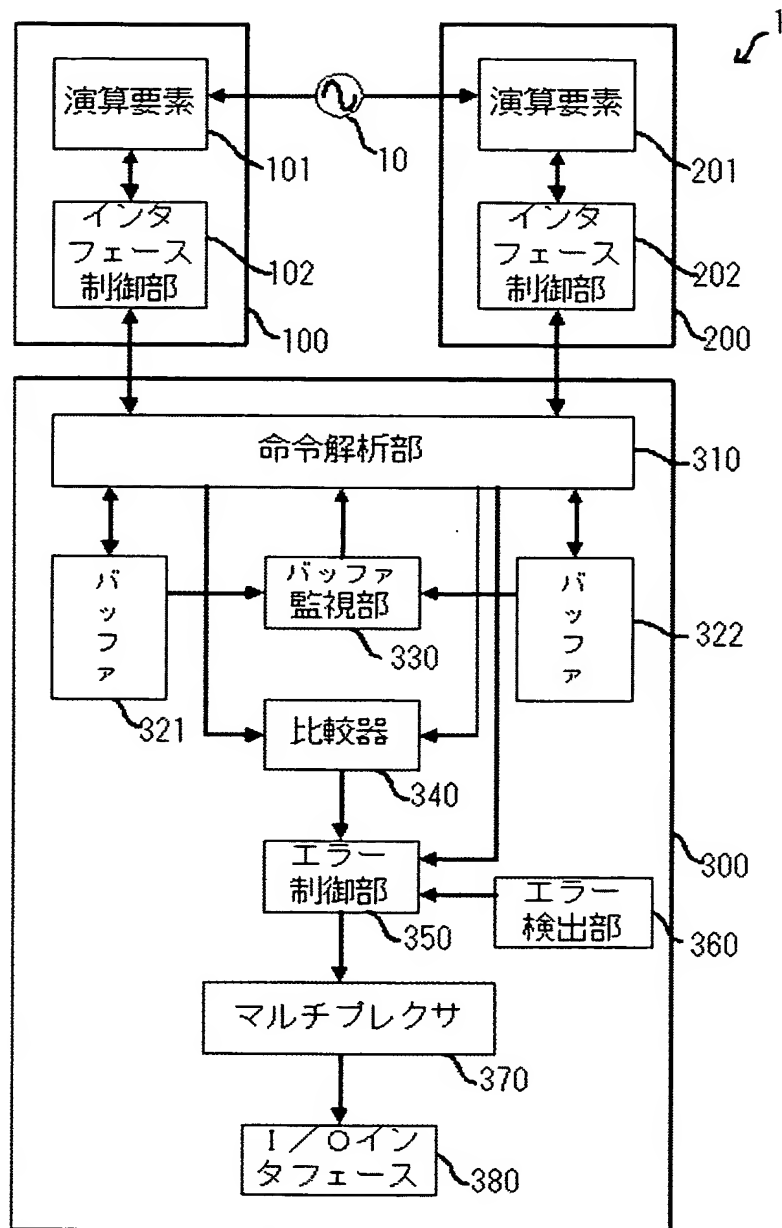
1 0 0 C P U モジュール

2 0 0 C P U モジュール

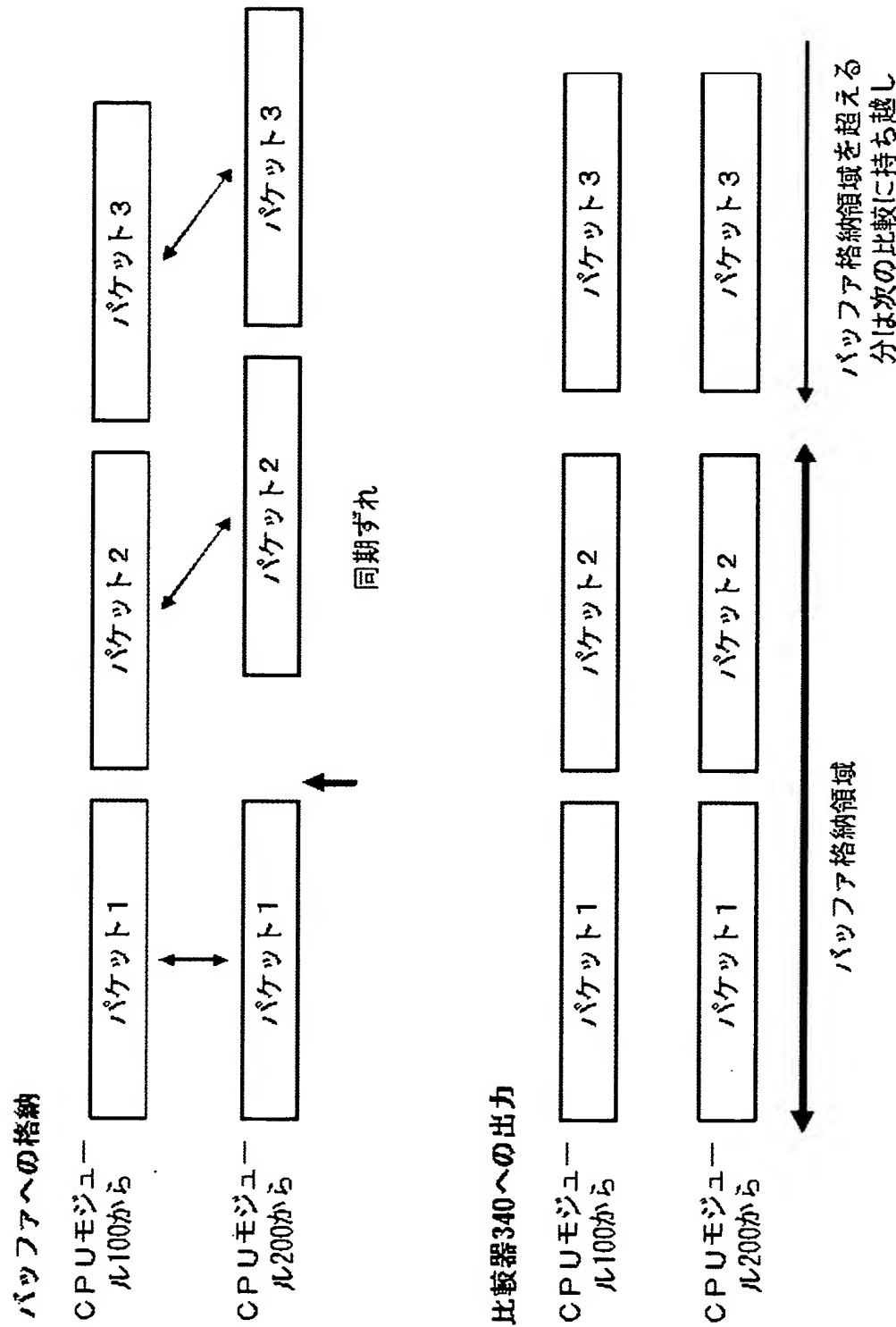
3 0 0、4 0 0 I / O モジュール

【書類名】 図面

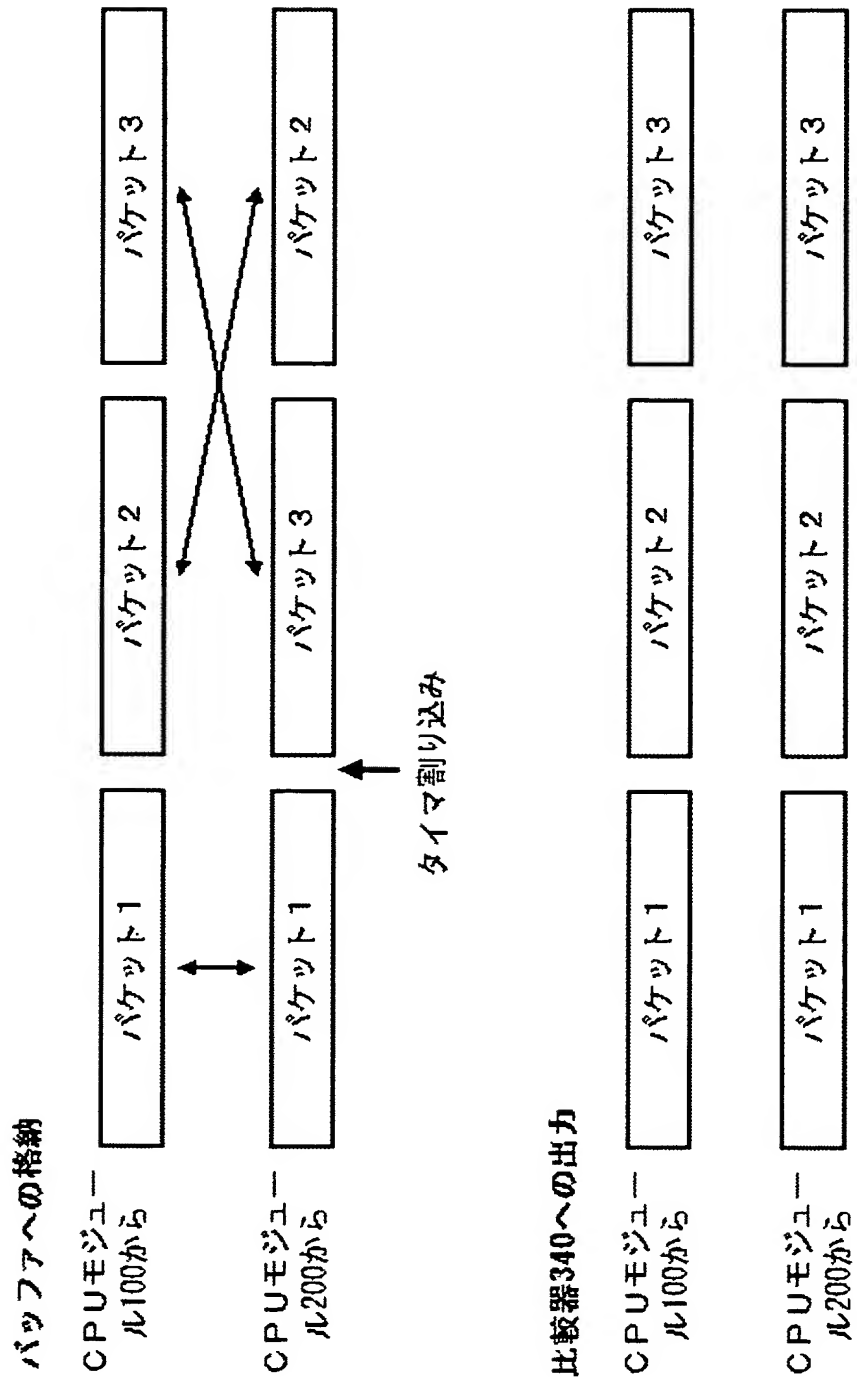
【図 1】



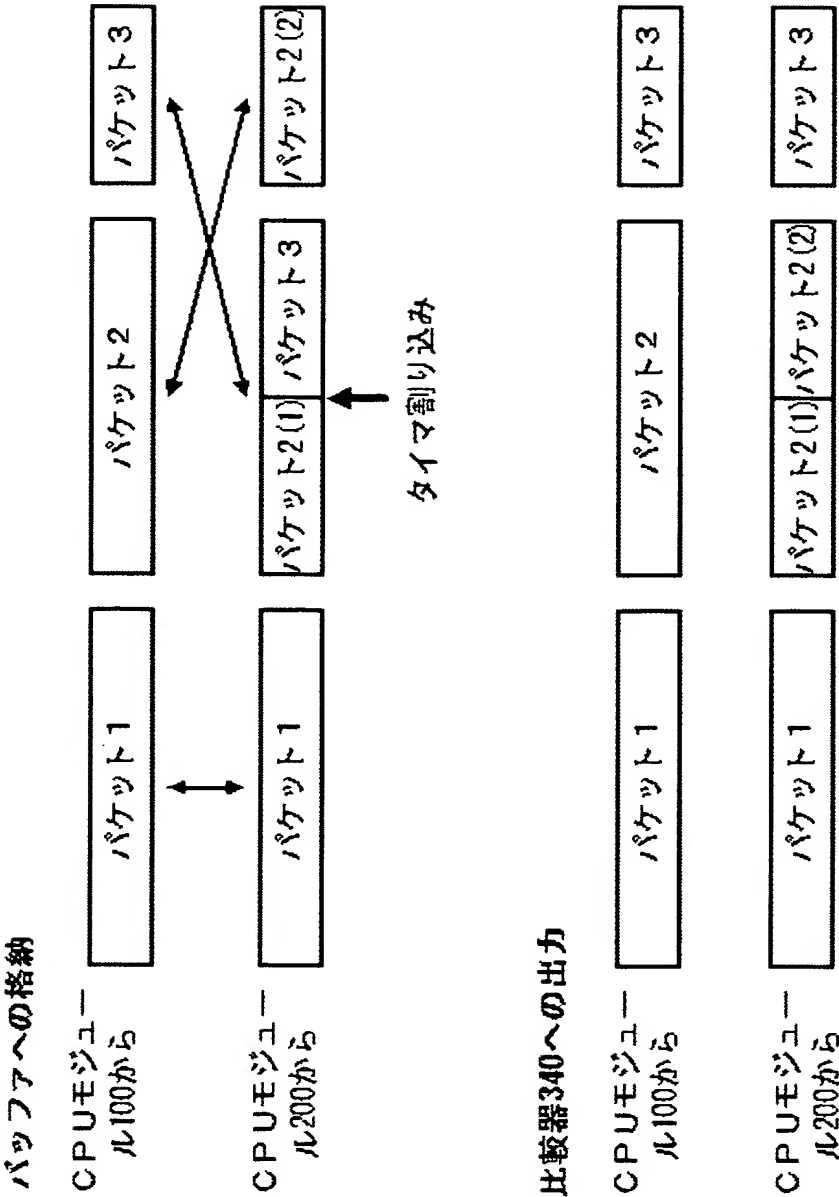
【図 2】



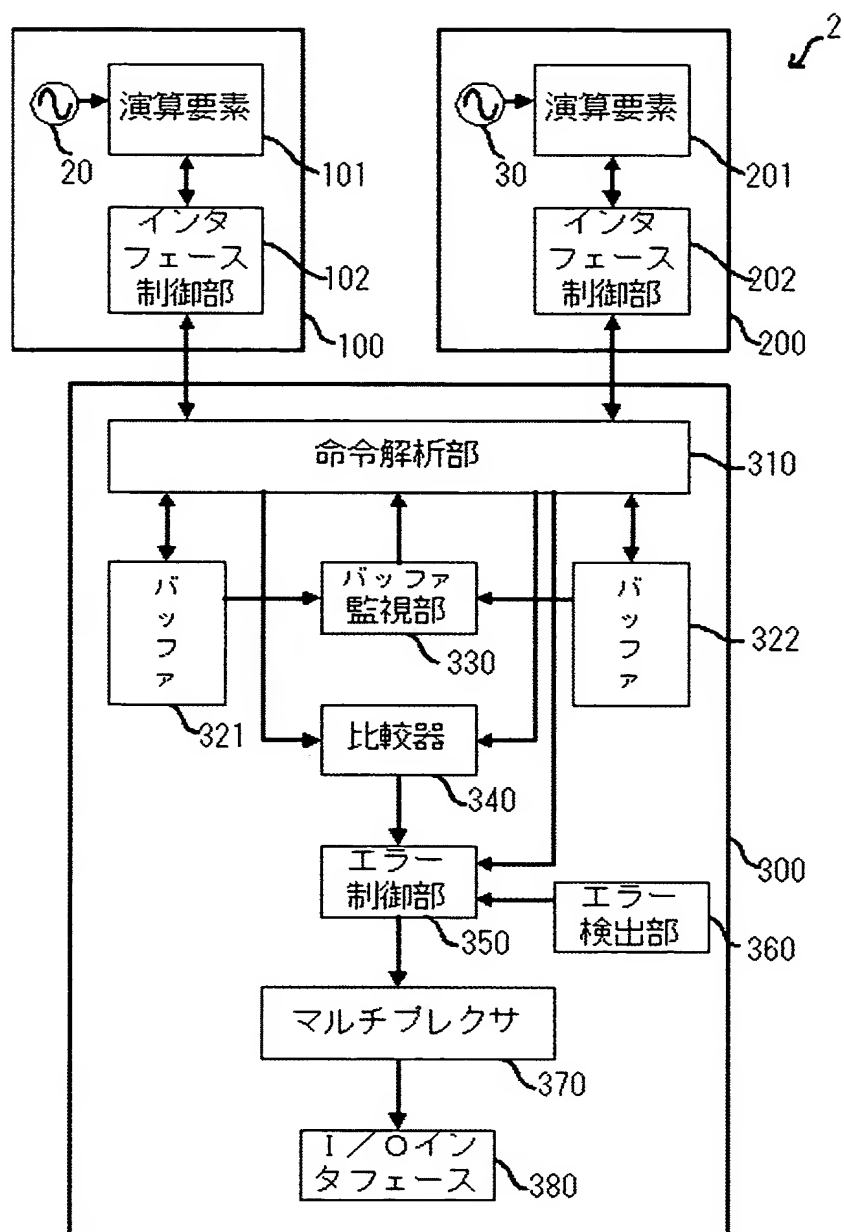
【図 3】



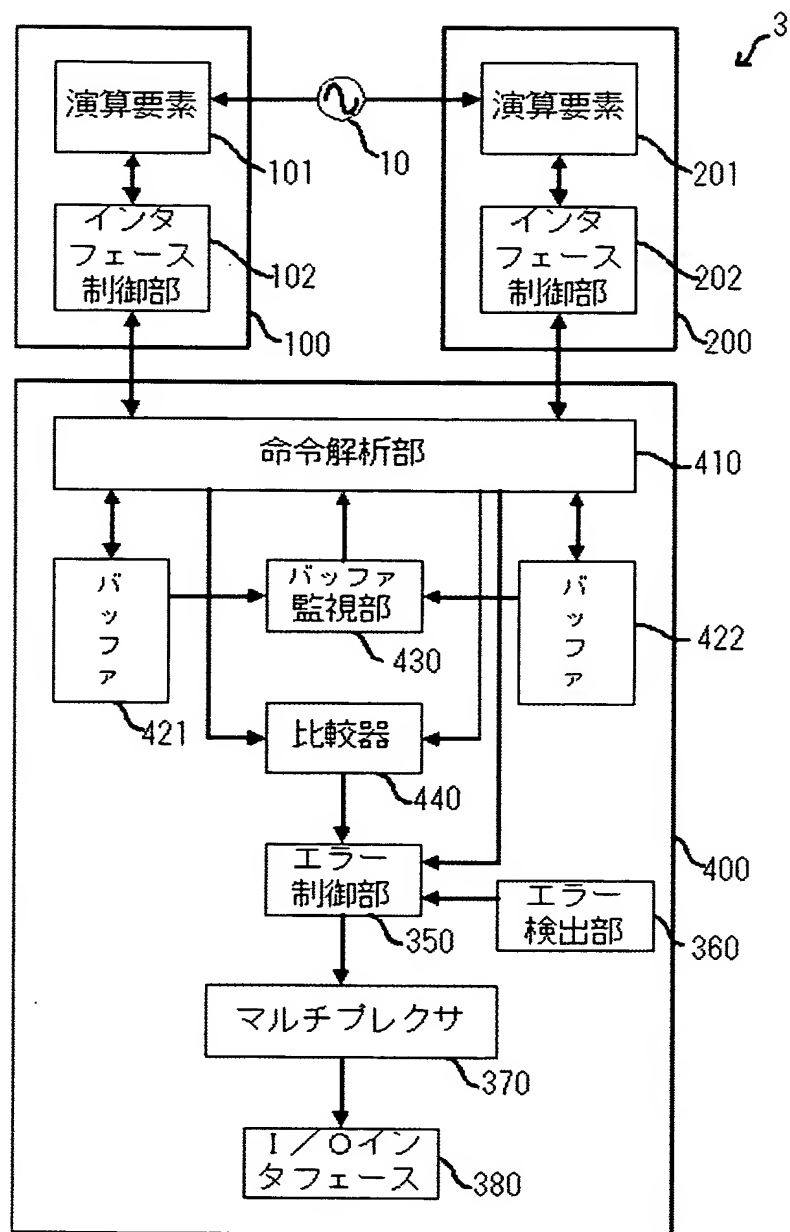
【図 4】



【図 5】



【図 6】



【書類名】 要約書**【要約】**

【課題】 複数のCPUモジュールの出力の順序が互いに異なっているとしてもこれら複数のCPUモジュールの動作が一致しているか否かを判別することができる情報処理装置を提供する。

【解決手段】 互いに同期して同一の処理を行うCPUモジュール100および200と、これらCPUモジュール100および200に接続されたI/Oモジュール300とを有する。I/Oモジュール300は、CPUモジュール100および200からの出力を受け取り、CPUモジュール100からの複数個数の出力とCPUモジュール200からの複数個数の出力との順序を対応させて比較し一致しているか否かを判別する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-114385
受付番号	50300648616
書類名	特許願
担当官	第四担当上席 0093
作成日	平成15年 4月21日

< 認定情報・付加情報 >

【提出日】 平成15年 4月18日

次頁無

特願 2 0 0 3 - 1 1 4 3 8 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社